PMR3303 Eletrônica Digital para Mecatrônica
Prof. Dr. Celso M. Furukawa Lista de Exercícios 8 (P2) Entrega até 25/5/2018

Q1 A figura Q1a mostra um decodificador 2:4 com *enable*: com $E = 0$, as saídas D_3 a D_0 permanecem em zero; com $E = 1$, apenas a saída D_i endereçada por A_1A_0 vai a um. A figura Q1b mostra um multiplexador 4:1 com *enable*: com $E = 0$, tem-se $Y = 0$; com E = 1, tem-se Y igual à entrada I_i onde i é o endereço dado por S_1S_0.

a) Construa um decodificador de 3:8 com *enable* usando apenas decodificadores da figura Q1a e portas lógicas.

b) Construa um multiplexador 8:1 com *enable* usando apenas multiplexadores da figura Q1b e portas lógicas.

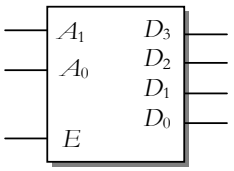

Figura Q1a

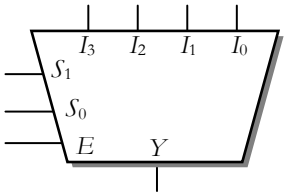

Figura Q1b

Q2 A figura Q2a representa um somador (Add) dedicado para uso com o preditor de vai-um (CLA, *Carry Look Ahead*) de 3 bits, mostrado na figura Q2b. As saídas do bloco Add são:

$g_i = x_i y_i$ (gerador); $p_i = x_i \oplus y_i$ (propagador); $s_i = x_i \oplus y_i \oplus c_i$ (soma)

a) Determine as expressões lógicas dos "vai-uns" c_1, c_2 e c_3 gerados pelo CLA (em função de c_0, g[2:0] e p[2:0]). NÃO É necessário expandir as expressões em soma de produtos.

b) Mostre como construir somador rápido de 3 bits (FFA) da figura Q2c usando os somadores Add e o CLA

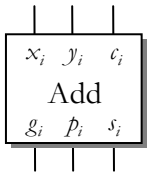

Figura Q2a

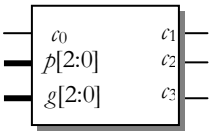

Figura Q2b

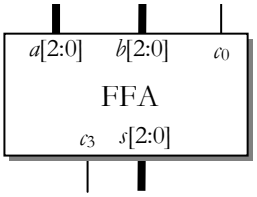

Figura Q2c

Q3 A figura Q3 descreve o extensor lógico (LE) simplificado de uma ULA. Projete o circuito do LE por meio de mapas de Karnaugh. Apresente a expressão lógica simplificada da saída x_i na forma de soma de produtos. Não é necessário desenhar o circuito.

M	S	x_i
0	X	a_i
1	0	a_i AND b_i
1	1	a_i XOR b_i

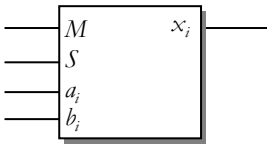

Figura Q3

Q4 A figura Q4a mostra um latch tipo D, onde C é a entrada de clock: com $C = 1$, tem-se $Q = D$; com $C = 0$, Q se mantém inalterado.

a) Construa o flip-flop D mostrado na figura Q4b usando latches da figura Q4a em configuração mestre-escravo e portas lógicas. Explique como o circuito funciona para registrar o nível de D apenas nas bordas de C.

b) A figura Q4c mostra um flip-flop com entrada *clock enable CE*, tal que a entrada D é copiada na saída Q somente nas bordas de clock em que $CE = 1$. Construa esse flip-flop usando o flip-flop da figura 4b e portas lógicas.

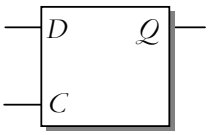

Figura Q4a

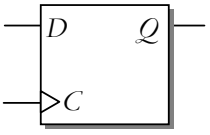

Figura Q4b

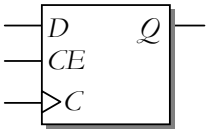

Figura Q4c

Q5 Dado o decodificador mostrado na figura Q1a, pede-se:

a) Descreva-o em Verilog em um módulo definido por
`Dec_2_4(input [1:0] A, input E, output [3:0] D).`

b) Descreva em Verilog um decodificador 3:8 com *enable* E em um módulo definido por
`Dec_3_8(input [2:0] A, input E, output [7:0] D)`, que seja implementado por meio de instanciações do módulo `Dec_2_4` do item a.

Algumas respostas

Q1a) Bits A_1A_0 comuns aos dois decoders; no decoder mais significativo: E = A_2.E e saídas D_7 a D_4; no menos siginificativo: E = A_2'.E e saídas D_4 a D_0. b) Bits S_1S_0 comuns aos dois muxes; no mux mais sginificativo: E = S_2.E, entradas I_7 a I_4, saída Y_1; no menos significativo: E = S2'.E, entradas I_3 a I_0, saída Y_0; saída final: Y = Y_1 + Y_0.

Q2a) c1 = g0 + p0.c0; c2 = g1 + p1.g0 + p1.p0.c0; c3 = g2 + p2.g1 + p2.p1.g0 + p2.p1.p0.c0.

Q3a) xi = M'.ai + S.ai.bi' + S'.ai.bi + M.S.ai'.bi

Q4a) 2 latches em série, Mestre: $D_M = D_{entrada}$, $C_M = C_{entrada}$', saída Q_M; escravo: $D_E = Q_{Mestre}$, $C_E = C_{entrada}$, saída $Q_{saída}$.

b) $D = D_{entrada}.CE + Q.CE'$