PMR-2410 Eletrônica Digital para Mecatrônica
Prof. Dr. Celso M. Furukawa Lista de Exercícios 9 (P2) 15/05/2015

Q1 A figura 1a mostra um comparador de magnitude, onde x_1x_0 e y_1y_0 representam dois números em binário sem sinal. Tem-se $G = 1$ se e somente se $x_1x_0 > y_1y_0$, e $L = 1$ se e somente se $x_1x_0 < y_1y_0$.

a) Determine a equação lógica da saída G do comparador da figura 1a **minimizada** na forma de soma de produtos. Não é necessário desenhar o diagrama lógico do circuito.

b) Usando comparadores de dois bits da figura 1a, construa o comparador de magnitude **em configuração paralela** de dois números de quatro bits, $x_3x_2x_1x_0$ e $y_3y_2y_1y_0$, mostrado na figura 1b.

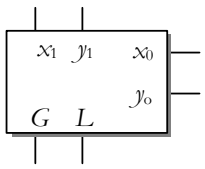

Figura 1a

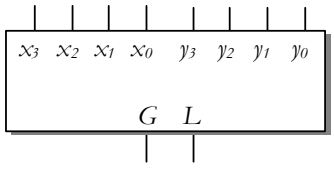

Figura 1b

Q2 A figura 2a mostra um codificador 4:2 com prioridade. Conforme mostra a tabela 1, a entrada *EI* habilita o codificador e a entrada d_3 possui a maior prioridade. Quando *EI* = 1, a saída *GS* (*Group Signal*) indica quando há entrada(s) 'd' em 1, e a saída *EO* (*Enable Output*) indica quando não há.

a) Determine as equações das saídas a_1, a_0, *GS* e *EO* da figura 2a **minimizadas** na forma de soma de produtos. Não é necessário desenhar o diagrama lógico dos circuitos.

b) Construa o codificador de 8:3 bits com prioridade mostrado na figura 2b, onde a entrada d_7 é a de maior prioridade e d_0 a de menor, usando codificadores 4:2 da figura 2a e portas lógicas adicionais.

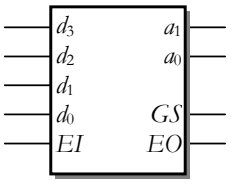

Figura 2a

Tabela 1

EI	d_3 d_2 d_1 d_0	a_1 a_0	*GS*	*EO*
0	X X X X	0 0	0	0
1	0 0 0 1	0 0	1	0
1	0 0 1 X	0 1	1	0
1	0 1 X X	1 0	1	0
1	1 X X X	1 1	1	0
1	0 0 0 0	0 0	0	1

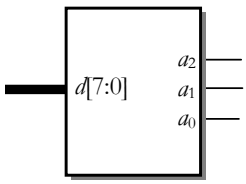

Figura 2b

Q3 A figura 3 mostra a célula básica de uma Unidade Lógico-Artimética (ULA), onde FA é o somador completo (*Full Adder*). A tabela 2 especifica as funções da ULA. Determine as expressões lógicas das saídas dos blocos **AE e LE** (respectivamente, *Arithmetic* e *Logic Expanders*) minimizadas na forma de soma de produtos. Não é necessário desenhar os circuitos.

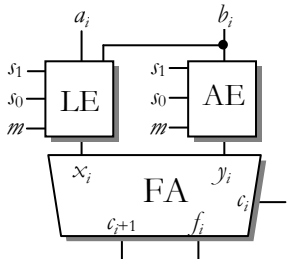

Figura 3

Tabela 2

m	***s*1*s*0**	**Descrição**	***F***
0	0 0	Nand	(A and B)'
0	0 1	Xnor	(A xor B)'
0	1 0	Nor	(A or B)'
0	1 1	Inverso	A'
1	X X	Soma	A mais B

Q4. A figura 4a mostra o circuito de um *latch* dinâmico construído com duas portas NOR.

a) Dados os sinais de entrada *R* e *S* mostrados da figura 4b, desenhe a forma de onda das saídas *F* e *G*

b) Usando o *latch* da figura 4a e portas lógicas adicionais, construa o *latch* tipo D (sensível à nível) mostrado na figura 4c, onde *C* é a entrada de *clock* tal que $Q = D$ quando $C = 1$, e CLR' = 0 zera o bit armazenado em Q assincronamente com o *clock C*.

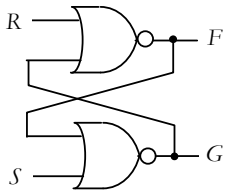

Figura 4a

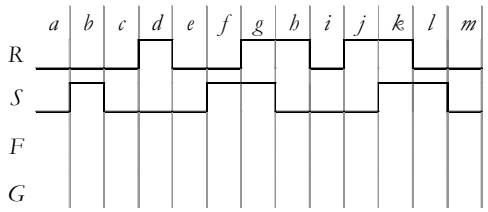

Figura 4b

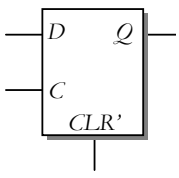

Figura 4c

Algumas respostas

1a) x1.x0.y0' + y1'.x0.y0' + x1.y1'

2a) a1 = d3 + d2; a0 = d3 + d2'.d1; GS = EI.(d3+d2+d1+d0); EO = EI.d3'.d2'.d1'.d0'

3) xi = m'.ai'.bi' + m'.ai'.s1'.s0' + m'.ai'.s1.s0 + ai.bi.s1'.s0 + { ai.bi'.s1'.s0' ou m'.bi'.s1'.s0' }; y i = m.bi.

4a) F: indefinido em *a*, igual a 1 em (*b, c, f, l, m*); G: indefinido em *a*, igual a 1 em (*d, e, h, i, j*);

4b) R = CLR + C.D' , S = CLR'.C.D