PMR-2410 Eletrônica Digital para Mecatrônica

Prof. Dr. Celso M. Furukawa Lista de Exercícios 8 (P2) Entrega até 1/6/2011

Q1. A figura 1 mostra um codificador de 4:2 bits com entrada de habilitação EI. A entrada d_3 é a de maior prioridade e d_0 a de menor, conforme mostra a tabela da figura 1a.

a) Apresente as equações minimizadas das saídas a_1, a_0, GS e EO na forma de soma de produtos. Não é necessário fazer o diagrama lógico dos circuitos.

b) Mostre como construir o codificador de 8:3 bits com prioridade mostrado na figura 1b, onde a entrada d_7 é a de maior prioridade e d_0 a de menor, usando somente codificadores da figura 1a e portas lógicas.

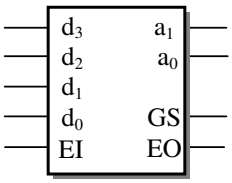


Figura 1a

EI	$d_3d_2d_1d_0$	a_1a_0	GS	EO
0	XXXX	00	0	0
1	0001	00	1	0
1	001X	01	1	0
1	01XX	10	1	0
1	1XXX	11	1	0
1	0000	00	0	1

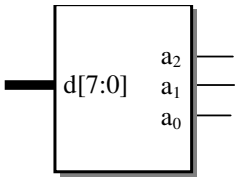


Figura 1b

Q2. A figura 2 mostra a célula básica de uma Unidade Lógico-Artimética (ULA), onde FA é um somador completo. A tabela da figura 2 especifica as funções que ela pode realizar, sendo que $C_2(\ .\ )$ indica aritmética em complemento de 2.

a) Determine as equações booleanas simplificadas dos blocos **AE**, **LE** e **C_0E** (respectivamente, *Arithmetic*, *Logic* e *Carry-In Expanders*) por meio de mapas de Karnaugh. Não é necessário desenhar os circuitos.

b) Construa uma ULA de 2 bits usando a célula básica da figura 2.

M	***S_1S_0***	**Descrição**	**F**
0	0 0	Soma	A mais B
0	0 1	Incremento	A mais 1
0	1 0	Decremento	C_2(A – 1)
0	1 1	Subtração	C_2(A – B)
1	X 0	OR	A OR B
1	X 1	AND	A AND B

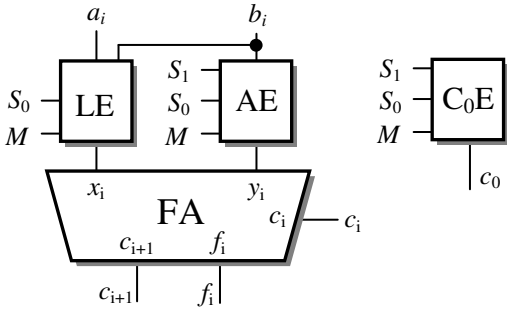


Figura 2

Q3. Dado o circuito da figura 3, pede-se.

a) Faça sua tabela característica e indique quais valores de *A* e *B* fazem com que o circuito armazene informação.

b) Suponha que inicialmente *A* = 0 e *B* = 0. O que aconteceria se as entradas mudassem ao mesmo tempo para *A* = 1 e *B* = 1? Considere que o atraso da porta superior (de saída *P*) é menor que o da inferior.

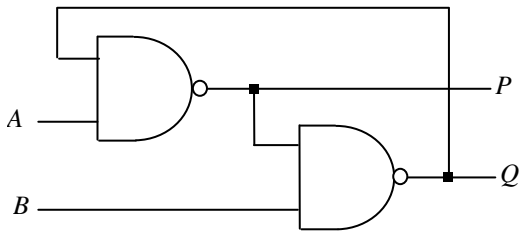
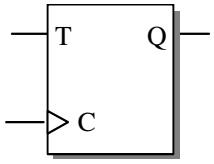


Figura 3

Q4. A figura 4a mostra um flip-flop tipo T e sua tabela característica. Pede-se:

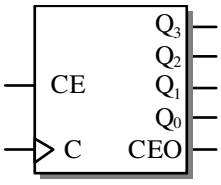
a) Mostre como construir esse flip-flop usando um flip-flop tipo D e portas lógicas adicionais.

b) Com flip-flops T da figura 4a e portas lógicas adicionais, projete o contador síncrono de 4 bits descrito na figura 4b.



C	T	Q^{k+1}
↑	0	Q^k
↑	1	$(Q^k)'$

Figura 4a



CE	C	$Q[3:0]^{k+1}$	CEO
0	X	$Q[3:0]^k$	0
1	↑	$Q[3:0]^k + 1$	$Q_3.Q_2.Q_1.Q_0$

Figura 4b

Algumas Respostas

Q1a) a1 = EI.d3 + EI.D2; a0 = EI.d3 + EI.d2'.d1; GS = EI(d3 + d2 + d1 + d0); EO = EI.d3'.d2'.d1'.d0'. b) ver lista 5.

Q2a) yi = bi'.S1.M' + bi.S0'.M'; c0 = M'.S0; xi = M'.ai + ai.bi + ai.S0' + bi.M.S0'. b) ver lista 5.

Q3a) Na forma [AB] / [PQ]: [11] / [PQ] (mantém); [10] / [01]; [01] / [10]; [00] / [11]. b) PQ: 11 → 01

Q4a) D = T XOR Q; b) T0 = CE; T1 = CE.Q0; T2 = T1.Q1; T3 = T2.Q2; CEO = T3.Q3